

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107280
(43)Date of publication of application : 24.04.1998

(51)IntCl.

H01L 29/78

H01L 21/8234

H01L 27/088

H01L 21/336

(21)Application number : 08-260439

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.10.1996

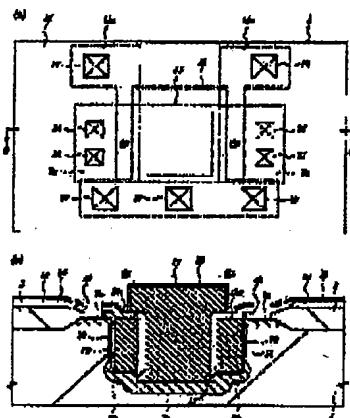
(72)Inventor : PETER M LEE
YOKOMIZO KOICHI
NIIMI TOSHIO
OTAKA NAOMI
KATO MASATAKA
KIMURA SHINICHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a vertical MISFET structure in which adjacent MISFETs can be connected both in series or in parallel.

SOLUTION: The gate electrodes 12a, 12a of MISFETs Q1, Q2, isolated from each other through a silicon oxide 14, are disposed oppositely in a trench 13 made in a semiconductor substrate 1. The gate oxide 11 for the MISFETs Q1, Q2 are deposited on the inner wall of the trench 13 and one (n-type semiconductor region 7a) of the source or drain region of the MISFETs Q1 is provided on the semiconductor substrate 1 around the trench 13 along with one (n-type semiconductor region 7a) of the source or drain region of the MISFETs Q2. The other (n-type semiconductor regions 7b, 7c) of the source or drain region common to the MISFETs Q1, Q2 is provided on the semiconductor substrate 1 at the bottom of the trench 13.



(51)Int.Cl.⁸H 01 L 29/78
21/8234
27/088
21/336

識別記号

F I

H 01 L 29/78 653B
27/08 102E
29/78 301X
656A
658A

審査請求 未請求 請求項の数8 OL (全14頁)

(21)出願番号

特願平8-260439

(22)出願日

平成8年(1996)10月1日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地(72)発明者 ピーター・エム・リー
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内(72)発明者 横溝 剛一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内(72)発明者 新美 敏男
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

最終頁に続く

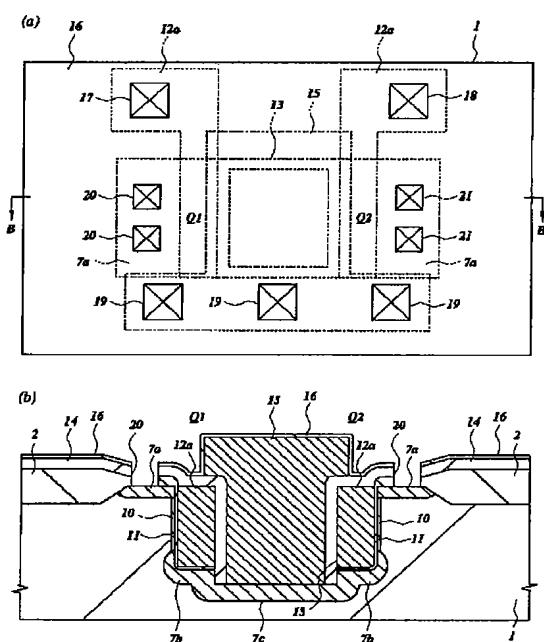
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】隣り合ったMISFET同士を直列にも並列にも接続することができる縦型MISFET構造を実現する。

【解決手段】半導体基板1に形成された溝13の内部には酸化シリコン膜14によって互いに分離されたMISFET Q₁のゲート電極12aとMISFET Q₂のゲート電極12aとが対向して設けられ、溝13の内壁にはMISFET Q₁, Q₂のゲート酸化膜11が設けられ、溝13の周囲の半導体基板1にはMISFET Q₁のソース領域、ドレイン領域の一方(n型半導体領域7a)とMISFET Q₂のソース領域、ドレイン領域の一方(n型半導体領域7a)とが設けられ、溝13の底部の半導体基板1にはMISFET Q₁, Q₂に共通のソース領域、ドレイン領域の他方(n型半導体領域7b, 7c)が設けられている。

図 16



【特許請求の範囲】

【請求項1】 第1のMISFETのソース領域、ドレイン領域の一方と第2のMISFETのソース領域、ドレイン領域の一方とが互いに接続された一対のMISFETを有する半導体集積回路装置であって、半導体基板に形成された溝の内部には、絶縁膜によって互いに分離された前記第1のMISFETのゲート電極と前記第2のMISFETのゲート電極とが対向して設けられており、

前記溝の内壁には、前記第1のMISFETのゲート絶縁膜と前記第2のMISFETのゲート絶縁膜とが設けられており、
前記溝の周囲の前記半導体基板には、前記第1のMISFETのソース領域、ドレイン領域の一方と前記第2のMISFETのソース領域、ドレイン領域の一方とが前記溝を挟んで対向して設けられており、

前記溝の底部の前記半導体基板には、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方が設けられていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記溝の底部に設けられた前記ソース領域、ドレイン領域の他方の上部には、前記ソース領域、ドレイン領域の他方と電気的に接続され、かつ前記絶縁膜によって前記第1のMISFETのゲート電極および前記第2のMISFETのゲート電極と互いに分離された引き出し電極が設けられていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記第1のMISFETのゲート電極を入力端子とし、前記第1のMISFETのソース領域、ドレイン領域の一方を低電圧電源に接続し、前記第2のMISFETのゲート電極およびソース領域、ドレイン領域の一方とを高電圧電源に接続し、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方を出力端子としてインバータを形成したことを特徴とする半導体集積回路装置。

【請求項4】 請求項1または2記載の半導体集積回路装置であって、前記第1のMISFETが0Vのゲートバイアス時にはドレイン電流が流れないようなエンハスマントモード動作をするように、前記溝の側壁に不純物をイオン注入して前記第1のMISFETのチャネル領域を形成し、前記第2のMISFETが0Vのゲートバイアス時にはドレイン電流が流れるようなデブリーションモード動作をするように、前記溝の側壁に不純物をイオン注入して前記第2のMISFETのチャネル領域を形成し、前記第1のMISFETのゲート電極を入力端子とし、前記第1のMISFETのソース領域、ドレイン領域の一方を低電圧電源に接続し、前記第2のMISFETのソース領域、ドレイン領域の一方を高電圧電源

に接続し、前記第2のMISFETのゲート電極と前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方とを電気的に接続し、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方を出力端子としてインバータを形成したことを特徴とする半導体集積回路装置。

【請求項5】 請求項1または2記載の半導体集積回路装置であって、前記第1のM I S F E Tと前記第2のM I S F E Tの一組をnチャネル型で構成すると共に他の一組をpチャネル型で構成し、pチャネル型で構成した前記第1のM I S F E Tのソース領域、ドレイン領域の一方とpチャネル型で構成した前記第2のM I S F E Tのソース領域、ドレイン領域の一方とを電気的に接続して第1の電極を構成し、nチャネル型で構成した前記第1のM I S F E Tのソース領域、ドレイン領域の一方を低電圧電源に接続し、nチャネル型で構成した前記第2のM I S F E Tのソース領域、ドレイン領域の一方と、pチャネル型で構成した前記第1のM I S F E Tと前記第2のM I S F E Tとに共通のソース領域、ドレイン領域の他方または前記第1の電極のいずれか一方とを電気的に接続して出力端子を構成し、pチャネル型で構成した前記第1のM I S F E Tと前記第2のM I S F E Tとに共通のソース領域、ドレイン領域の他方または前記第1の電極の他方を高電圧電源に接続し、nチャネル型で構成した前記第1のM I S F E Tのゲート電極とpチャネル型で構成した前記第1のM I S F E Tのゲート電極とを電気的に接続して第1の入力端子を構成し、nチャネル型で構成した前記第2のM I S F E Tのゲート電極とpチャネル型で構成した前記第2のM I S F E Tのゲート電極とを電気的に接続して第2の入力端子を構成することにより、2入力CMOS・NANDゲートを形成したことを特徴とする半導体集積回路装置。

【請求項6】 請求項1または2記載の半導体集積回路装置であって、前記第1のM I S F E Tと前記第2のM I S F E Tの一組をnチャネル型で構成すると共に他の一組をpチャネル型で構成し、nチャネル型で構成した前記第1のM I S F E Tのソース領域、ドレイン領域の一方とnチャネル型で構成した前記第2のM I S F E Tのソース領域、ドレイン領域の一方とを電気的に接続して第2の電極を構成し、pチャネル型で構成した前記第1のM I S F E Tのソース領域、ドレイン領域の一方を低電圧電源に接続し、pチャネル型で構成した前記第2のM I S F E Tのソース領域、ドレイン領域の一方と、nチャネル型で構成した前記第1のM I S F E Tと前記第2のM I S F E Tとに共通のソース領域、ドレイン領域の他方または前記第2の電極のいずれか一方とを電気的に接続して出力端子を構成し、nチャネル型で構成した前記第1のM I S F E Tと前記第2のM I S F E Tとに共通のソース領域、ドレイン領域の他方または前記第2

2の電極の他方を低電圧電源に接続し、nチャネル型で構成した前記第1のMISFETのゲート電極とpチャネル型で構成した前記第1のMISFETのゲート電極とを電気的に接続して第1の入力端子を構成し、nチャネル型で構成した前記第2のMISFETのゲート電極とpチャネル型で構成した前記第2のMISFETのゲート電極とを電気的に接続して第2の入力端子を構成することにより、2入力CMOS・NORゲートを形成したことを特徴とする半導体集積回路装置。

【請求項7】 第1のMISFETのソース領域、ドレイン領域の一方と第2のMISFETのソース領域、ドレイン領域の一方とが互いに接続された一対のMISFETを有する半導体集積回路装置の製造方法であって、

(a) 第1導電型の半導体基板の主面に素子分離領域を形成した後、前記素子分離領域で囲まれた素子形成領域の前記半導体基板上に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜の上部および側壁に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を形成した後、前記第2絶縁膜の側壁に前記第2絶縁膜とはエッチング速度が異なる第3絶縁膜からなるサイドウォールスペーサを形成する工程、(c) 前記素子形成領域の前記半導体基板に第2導電型の不純物をイオン打ち込みした後、前記半導体基板を熱処理することにより、前記第1絶縁膜、前記第2絶縁膜および前記サイドウォールスペーサで覆われていない領域の前記半導体基板1の表面に第4絶縁膜を形成すると共に、前記第4絶縁膜の下部の前記半導体基板に前記第1のMISFETのソース領域、ドレイン領域の一方と前記第2のMISFETのソース領域、ドレイン領域の一方とを形成する工程、

(d) 前記サイドウォールスペーサおよび前記第2絶縁膜を除去した後、前記第1絶縁膜の両側の前記半導体基板をエッチングして一対の第1溝を形成する工程、

(e) 前記一対の第1溝の底部に第2導電型の不純物をイオン打ち込みして、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方の一部を形成する工程、(f) 前記一対の第1溝のそれぞれの側壁に斜めイオン注入法を用いて不純物をイオン打ち込むことにより、前記第1のMISFETのチャネル領域と前記第2のMISFETのチャネル領域とを形成した後、前記半導体基板を熱処理することにより、前記一対の第1溝のそれぞれの内壁に前記第1のMISFETのゲート絶縁膜と前記第2のMISFETのゲート絶縁膜とを形成する工程、(g) 前記一対の第1溝の内部を含む前記半導体基板上に第1導電膜を形成した後、前記第1絶縁膜の上部の前記第1導電膜を除去する工程、(h) 前記第1絶縁膜の下部の前記半導体基板をエッチングすることにより、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方の一部に達する第2溝を形成する工程、(i) 前記第2溝の

底部の前記半導体基板に第2導電型の不純物をイオン打ち込みして、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方の一部を形成する工程、(j) 前記第1導電膜をパターニングすることにより、前記一対の第1溝の一方に前記第1のMISFETのゲート電極を形成し、前記一対の第1溝の他方に前記第2のMISFETのゲート電極を形成する工程、(k) 前記第2溝の内部を含む前記半導体基板上に第5絶縁膜を形成した後、前記第2溝の底部の前記第5絶縁膜を除去することにより、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域を露出させる工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法であって、前記工程(k)の後、前記第2溝の内部を含む前記半導体基板上に第2導電膜を形成した後、前記第2導電膜をパターニングすることにより、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の上部に引き出し電極を形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、半導体基板に設けた溝(トレンチ)の内部にゲート電極を形成した縦型MISFETを有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路の高集積化を推進するために、MISFETのさらなる微細化が追求されている。MISFETの微細化を図る通常の方法は、チャネル長(ゲート長)の微細化である。しかし、チャネル長を短かくすると、パンチスルーやホットキャリア劣化といった望ましくない短チャネル効果が顕在化し、これがMISFETの微細化の妨げとなる。

【0003】チャネル長の微細化に起因する短チャネル効果を顕在化させることなくサイズの縮小を図ることのできるトランジスタ構造として、半導体基板に設けた溝(トレンチ)の内部にゲート電極を形成する縦型MISFETが知られている。

【0004】例えば特開平7-161977号公報に開示された縦型MISFETは、半導体基板に不純物をイオン打ち込みしてソース領域、ドレイン領域を一体形成した後、それらの中央部に溝を形成してソース領域とドレイン領域とを分離すると共に、この溝の内部に多結晶シリコンからなるゲート電極を埋め込んだ構成になっている。

【0005】チャネル領域が溝に沿って形成される上記の縦型MISFETは、トランジスタの平面寸法がチャ

ネル長とは関係なく、溝の幅によって規定されるために、短チャネル特性の改善と微細化とを同時に図ることができるという利点がある。

【0006】特開昭61-5569号公報には、通常の横型構造で構成された駆動用MISFETと縦型構造で構成された負荷用MISFETとを直列に接続したE(エンハンスメント)／D(デプリーション)型インバータが開示されている。

【0007】上記駆動用MISFETのドレイン領域の一部には、ウエル領域を貫通して基板に達する溝が設けられ、その内部に負荷用MISFETのゲート電極が形成されている。負荷用MISFETのソース領域は、駆動用MISFETのドレイン領域と共通の構成になっており、負荷用MISFETのドレイン領域は基板によって構成されている。すなわち、このインバータは、駆動用MISFETのドレイン領域の平面内に縦型構造の負荷用MISFETを形成しているので、高集積化が可能となる。

【0008】WPI 93-193341/24に開示された縦型MISFETは、半導体基板にシリンド(円筒)状の溝を形成し、この溝の内部に互いに直列に接続された2個のMISFETのゲート電極を形成している。この場合、一方のMISFETのチャネル領域はシリンドの外壁に形成され、もう一方のMISFETのチャネル領域はシリンドの内壁に形成される。

【0009】半導体基板をエッチングして形成した溝の内部にゲート電極を形成する上記のような縦型MISFETは、溝の側壁に形成されるチャネル領域の電流駆動能力がエッチングのダメージに起因して劣化すると云われている。しかし、T.Syau et al., "Mobility study on RIE etched silicon surfaces using SF6/O2 gas etchants", IEEE Transactions on Electron Devices, Vol. 40, No.11, November 1993によれば、溝のエッチング処理を適切に行うことにより、縦方向の電流駆動能力を通常の横型MISFETの電流駆動能力と同程度にすることが可能であるとされている。

【0010】

【発明が解決しようとする課題】ところが、上記した従来の縦型MISFETは、いずれも隣り合った2個のMISFET同士を直列にしか接続できない構造になっている。さらに、特開昭61-5569号公報のインバータは、直列に接続した2個のMISFETの共通の節点が基板であるために、その電位は共通の一定電位もしくはGND電位に固定されてしまう。

【0011】このような理由から、従来の縦型MISFETは、インバータ、NAND、NORといった論理回路を高い集積度で形成することが困難なため、その用途が限られてしまうという問題がある。

【0012】本発明の目的は、短チャネル特性の改善と微細化を同時に図ることができる縦型MISFETの利

点を損なうことなく、隣り合ったMISFET同士を直列にも並列にも接続することのできる縦型MISFETを実現することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0015】本発明の半導体集積回路装置は、半導体基板に形成された溝の内部に、絶縁膜によって互いに分離された第1のMISFETのゲート電極と第2のMISFETのゲート電極とが対向して設けられ、溝の内壁に第1のMISFETのゲート絶縁膜と第2のMISFETのゲート絶縁膜とが設けられ、溝の周囲の半導体基板に第1のMISFETのソース領域、ドレイン領域の一方と第2のMISFETのソース領域、ドレイン領域の一方とが溝を挟んで対向して設けられ、溝の底部の半導体基板に第1のMISFETと第2のMISFETとに共通のソース領域、ドレイン領域の他方が設けられている。

【0016】本発明の半導体集積回路装置の製造方法は、(a) 第1導電型の半導体基板の正面に素子分離領域を形成した後、前記素子分離領域で囲まれた素子形成領域の前記半導体基板上に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜の上部および側壁に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を形成した後、前記第2絶縁膜の側壁に前記第2絶縁膜とはエッチング速度が異なる第3絶縁膜からなるサイドウォールスペーサを形成する工程、(c) 前記素子形成領域の前記半導体基板に第2導電型の不純物をイオン打ち込みした後、前記半導体基板を熱処理することにより、前記第1絶縁膜、前記第2絶縁膜および前記サイドウォールスペーサで覆われていない領域の前記半導体基板1の表面に第4絶縁膜を形成すると共に、前記第4絶縁膜の下部の前記半導体基板に前記第1のMISFETのソース領域、ドレイン領域の一方と前記第2のMISFETのソース領域、ドレイン領域の一方とを形成する工程、

(d) 前記サイドウォールスペーサおよび前記第2絶縁膜を除去した後、前記第1絶縁膜の両側の前記半導体基板をエッチングして一对の第1溝を形成する工程、

(e) 前記一对の第1溝の底部に第2導電型の不純物をイオン打ち込みして、前記第1のMISFETと前記第2のMISFETとに共通のソース領域、ドレイン領域の他方の一部を形成する工程、(f) 前記一对の第1溝のそれぞれの側壁に斜めイオン注入法を用いて不純物をイオン打ち込みすることにより、前記第1のMISFETのチャネル領域と前記第2のMISFETのチャネル領域とを形成した後、前記半導体基板を熱処理すること

により、前記一対の第1溝のそれぞれの内壁に前記第1のMISFETのゲート絶縁膜と前記第2のMISFETのゲート絶縁膜とを形成する工程、(g)前記一対の第1溝の内部を含む前記半導体基板上に第1導電膜を形成した後、前記第1絶縁膜の上部の前記第1導電膜を除去する工程、(h)前記第1絶縁膜を除去した後、前記第1絶縁膜の下部の前記半導体基板をエッチングすることにより、前記第1のMISFETと前記第2のMISFETと共に共通のソース領域、ドレイン領域の他方の一部に達する第2溝を形成する工程、(i)前記第2溝の底部の前記半導体基板に第2導電型の不純物をイオン打ち込みして、前記第1のMISFETと前記第2のMISFETと共に共通のソース領域、ドレイン領域の他方の一部を形成する工程、(j)前記第1導電膜をパターニングすることにより、前記一対の第1溝の一方に前記第1のMISFETのゲート電極を形成し、前記一対の第1溝の他方に前記第2のMISFETのゲート電極を形成する工程、(k)前記第2溝の内部を含む前記半導体基板上に第5絶縁膜を形成した後、前記第2溝の底部の前記第5絶縁膜を除去することにより、前記第1のMISFETと前記第2のMISFETと共に共通のソース領域、ドレイン領域を露出させる工程、を含んでいる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有するものには同一の符号を付け、その繰り返しの説明は省略する。

【0018】本実施の形態の縦型MISFETを製造するには、まず、図1(aは平面図、bはaのB-B'線に沿った断面図、以下同様)に示すように、例えばp型の単結晶シリコンからなる半導体基板1を用意し、その表面にLOCOS法で素子分離用のフィールド酸化膜2を形成する。

【0019】次に、図2に示すように、素子形成領域の半導体基板1上に、後の工程で溝を形成する際のエッチングマスクとなる塗化シリコン膜3、酸化シリコン膜4、5およびサイドウォールスペーサ6を形成する。これらのエッチングマスクを形成するには、半導体基板1上にCVD法で塗化シリコン膜3と酸化シリコン膜4とを堆積した後、これらをパターニングして素子形成領域に残す。次に、半導体基板1上にCVD法で酸化シリコン膜5を堆積し、これをパターニングして塗化シリコン膜3と酸化シリコン膜4の側壁に残す。その後、半導体基板1上にCVD法で塗化シリコン膜を堆積し、これをパターニングしてサイドウォールスペーサ6を形成する。

【0020】次に、図3に示すように、半導体基板1にn型不純物(例えばリン)をイオン打ち込みした後、図4に示すように、半導体基板1を熱処理することによ

り、素子形成領域のうち、エッチングマスク(塗化シリコン膜3、酸化シリコン膜4、5およびサイドウォールスペーサ6)で覆われていない領域の半導体基板1の表面に厚い酸化シリコン膜8を形成すると共に、前記n型不純物を半導体基板1に拡散させてMISFETのソース領域(またはドレイン領域)となる一対のn型半導体領域7a、7aを形成する。

【0021】次に、図5に示すように、フィールド酸化膜2および酸化シリコン膜4、5、8をマスクにしたエッチングで塗化シリコンのサイドウォールスペーサ6を除去した後、図6に示すように、塗化シリコン膜3の上部の酸化シリコン膜4と側壁の酸化シリコン膜5とをエッチングで除去する。

【0022】次に、図7に示すように、フィールド酸化膜2、酸化シリコン膜8および塗化シリコン膜3をマスクにしたエッチングで塗化シリコン膜3の両側の半導体基板1に一対の溝9、9を形成した後、これらの溝9、9の底部にn型不純物(例えばリン)をイオン打ち込みしてMISFETのドレイン領域(またはソース領域)の一部となる一対のn型半導体領域7b、7bを形成する。

【0023】次に、図8に示すように、斜めイオン注入法を用いて溝9、9の側壁に不純物をイオン打ち込みしてn型半導体領域7aとn型半導体領域7bとの間にMISFETのチャネル領域10を形成した後、図9に示すように、半導体基板1を熱処理して溝9、9の側壁および底部にMISFETのゲート酸化膜11を形成する。

【0024】次に、図10に示すように、溝9、9の内部を含む半導体基板1上にCVD法で多結晶シリコン膜12を堆積した後、フォトレジストをマスクにしたエッチングで塗化シリコン膜3の上部の多結晶シリコン膜12を除去する。

【0025】次に、図11に示すように、塗化シリコン膜3をエッチングで除去し、この塗化シリコン膜3に覆われていた領域の半導体基板1をエッチングして前記n型半導体領域7bに達する溝13を形成した後、図12に示すように、この溝13の底部にn型不純物(例えばリン)をイオン打ち込みしてMISFETのドレイン領域(またはソース領域)の他的一部となるn型半導体領域7cを形成する。これにより、前記一対のn型半導体領域7b、7bがこのn型半導体領域7cを介して電気的に接続され、n型半導体領域7bとn型半導体領域7cとからなる2個のMISFETに共通のドレイン領域(またはソース領域)が形成される。

【0026】次に、図13に示すように、フォトレジストをマスクにして多結晶シリコン膜12をパターニングすることにより、一対のゲート電極12a、12aを形成する。このとき同図(a)に示すように、ゲート電極12a、12aの各一部を溝9の外部に引き出してフィ

ールド酸化膜2上に配置する。これにより、ゲート電極12aの一方と、n型半導体領域7a（ソース領域またはドレイン領域）の一方と、n型半導体領域7b、7c（ドレイン領域またはソース領域）とからなる第1のMISFETQ₁、およびゲート電極12aの他方と、n型半導体領域7a（ソース領域またはドレイン領域）の他方と、n型半導体領域7b、7c（ドレイン領域またはソース領域）とからなる第2のMISFETQ₂が略完成する。

【0027】次に、図14に示すように、溝13の内部を含む半導体基板1上にCVD法で酸化シリコン膜14を堆積した後、溝13の底部の酸化シリコン膜14をエッティングで除去してn型半導体領域7c（2個のMISFETQ₁、Q₂に共通のドレイン領域（またはソース領域）の一部）を露出させる。

【0028】次に、図15に示すように、溝13の内部を含む半導体基板1上に多結晶シリコンなどの導電膜を堆積した後、フォトレジストをマスクにしてこの導電膜をパターニングすることにより、n型半導体領域7c上に引出し電極15を形成する。このとき同図（a）に示すように、引出し電極15の一部を溝9の外部に引き出して素子分離領域の酸化シリコン膜14上に配置する。

【0029】次に、図16に示すように、半導体基板1上にCVD法で酸化シリコン膜16を堆積した後、素子分離領域に引き出されたMISFETQ₁のゲート電極12aおよびMISFETQ₂のゲート電極12aのそれぞれの上部の酸化シリコン膜16、14をエッティングして接続孔17、18を形成する。また同時に、引出し電極15の上部の酸化シリコン膜16をエッティングして接続孔19を形成し、n型半導体領域7a、7aのそれぞれの上部の酸化シリコン膜16、14、8をエッティングして接続孔20、21を形成する。

【0030】図17（a）は、上記のようにして得られた本実施の形態の縦型MISFET（Q₁、Q₂）の概略面図、同図（b）は、通常の横型MISFETの概略面図である。

【0031】同図（b）に示す横型MISFETのソース領域（またはドレイン領域）の長さ（a）を0.7μm、チャネル長（g'）を0.3μmとした場合、2個の横型MISFETに共通のドレイン領域（またはソース領域）の長さ（c'）は、接続孔とゲート電極との合わせ余裕を考慮すると、少なくとも0.6μm程度は必要となる。従って、2個の横型MISFETの横方向の長さ（2a+2g'+c'）は、約2.6μmとなる。

【0032】一方、同図（a）に示す本実施の形態の縦型MISFETのソース領域（またはドレイン領域）の長さ（a）を上記横型MISFETと同じ0.7μmとした場合、溝の内部に形成したゲート電極の幅（g）はチャネル長に依存しないので、0.2μm程度まで縮小することができる。また、2個のMISFETに共通のドレ

イン領域（またはソース領域）の長さ（c）は、接続孔とゲート電極との合わせ余裕を考慮しなくともよいので、0.3μm程度まで縮小することができる。従って、2個の縦型MISFETの横方向の長さ（2a+2g+c）は、約2.1μmとなる。

【0033】このように、本実施の形態の縦型MISFETは、同じ設計ルールで製造する横型MISFETに比べて平面方向の長さを2割程度短縮することができ、チャネル長が長いMISFETの場合は、横型MISFETに比べて平面方向の長さをさらに短縮することができる。この縦型MISFETの適用例としては、例えば高電圧回路などが挙げられる。

【0034】本実施の形態の縦型MISFET（Q₁、Q₂）を並列に接続した回路構成を図18に示す。この回路は、一方のMISFETQ₁のソース領域（またはドレイン領域）と他方のMISFETQ₂のソース領域（またはドレイン領域）とを配線30で接続することにより実現することができる。

【0035】本実施の形態の縦型MISFET（Q₁、Q₂）を用いたE（エンハンスメント）型インバータの回路構成を図19に示す。このインバータは、前記図8に示すチャネルイオン打ち込みの際、2個のMISFET（Q₁、Q₂）がエンハンスメント型となるようにしきい値電圧を調整し、一方のMISFET（例えばQ₂）のゲート電極（12a）とソース領域（またはドレイン領域）とを配線31で接続することにより実現することができる。

【0036】このインバータ回路のように、2個のMISFET（Q₁、Q₂）に共通のドレイン領域（またはソース領域）であるn型半導体領域7cの上部に引出し電極15を設ける必要がない場合は、図20に示すように、溝13の内部を酸化シリコン膜14で埋め込んでもよい。

【0037】本実施の形態の縦型MISFET（Q₁、Q₂）を用いたD（デプリーション）型インバータの回路構成を図21に示す。このインバータは、前記図8に示すチャネルイオン打ち込みの際、2個のMISFETの一方（例えばQ₁）がエンハンスメント型、他方（例えばQ₂）がデプリーション型となるようにしきい値電圧を調整し、デプリーション型MISFET（Q₂）のゲート電極（12a）とドレイン領域（またはソース領域）であるn型半導体領域7b、7cとを配線32で接続することにより実現することができる。

【0038】図22は、本実施の形態の縦型MISFETを用いた2入力CMOS・NANDゲートの回路図である。このNANDゲートは、nチャネル型で構成された2個のMISFET（Q₁、Q₂）を直列に接続し、pチャネル型で構成された2個のMISFET（Q₃、Q₄）を並列に接続することにより実現することができる。pチャネル型のMISFET（Q₃、Q₄）は、イオン打ち込み

する不純物の導電型を変えることにより、nチャネル型のMISFET (Q_1, Q_2)と同様の方法で製造することができる。

【0039】なお、このNANDゲートの2つの入力 (I_{N1}, I_{N2})を接続して1入力とすることにより、インバータを構成することができる。また、nチャネル型のMISFET (Q_1, Q_2)の複数組を直列に接続し、pチャネル型のMISFET (Q_3, Q_4)の複数組を並列に接続することにより、多入力NANDゲートを構成することもできる。

【0040】図23は、本実施の形態の縦型MISFETを用いた2入力CMOS・NORゲートの回路図である。このNORゲートは、nチャネル型で構成された2個のMISFET (Q_1, Q_2)を並列に接続し、pチャネル型で構成された2個のMISFET (Q_3, Q_4)を直列に接続することにより実現することができる。また、nチャネル型のMISFET (Q_1, Q_2)の複数組を並列に接続し、pチャネル型のMISFET (Q_3, Q_4)の複数組を直列に接続することにより、多入力NORゲートを構成することもできる。

【0041】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0042】前記実施の形態ではLOCOS法で形成したフィールド酸化膜によって素子分離を行ったが、半導体基板に形成した溝に絶縁膜を埋め込んで素子分離領域を形成してもよい。

【0043】本発明の縦型MISFETを用いて形成される回路は、インバータ、NAND、NORといった論理回路に限定されるものではない。

【0044】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0045】本発明によれば、短チャネル特性の改善と微細化を同時に図ることができる縦型MISFETの利点を損なうことなく、隣り合ったMISFET同士を直列にも並列にも接続することができるので、インバータ、NAND、NORといった各種の回路を高い集積度で形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図2】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図3】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) であ

る。

【図4】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図5】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図6】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図7】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図8】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図9】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図10】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図11】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図12】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図13】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図14】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図15】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図16】本発明の一実施の形態である縦型MISFETの製造方法を示す平面図 (a) および断面図 (b) である。

【図17】本発明の一実施の形態である縦型MISFETの概略断面図 (a) および通常の横型MISFETの概略断面図 (b) である。

【図18】本発明の一実施の形態である縦型MISFETを並列に接続した回路図 (a) および平面図 (b) である。

【図19】本発明の一実施の形態である縦型MISFETを用いたエンハンスマント型インバータの回路図 (a) および平面図 (b) である。

【図20】本発明の他の実施の形態である縦型MISF

ETの製造方法を示す平面図(a)および断面図(b)である。

【図21】本発明の一実施の形態である縦型MISFE Tを用いたデプリーション型インバータの回路図(a)および平面図(b)である。

【図22】本発明の一実施の形態である縦型MISFE Tを用いた2入力CMOS・NANDゲートの回路図である。

【図23】本発明の一実施の形態である縦型MISFE Tを用いた2入力CMOS・NORゲートの回路図である。

【符号の説明】

- 1 半導体基板
- 2 絶縁層
- 3 篦化シリコン膜
- 4 酸化シリコン膜
- 5 酸化シリコン膜
- 6 サイドウォールスペーサ
- 7 a n型半導体領域
- 7 b p型半導体領域

7 c n型半導体領域

8 酸化シリコン膜

9 溝

10 チャネル領域

11 ゲート酸化膜

12 多結晶シリコン膜

12 a ゲート電極

13 溝

14 酸化シリコン膜

15 引出し電極

16 酸化シリコン膜

17 接続孔

18 接続孔

19 接続孔

20 接続孔

21 接続孔

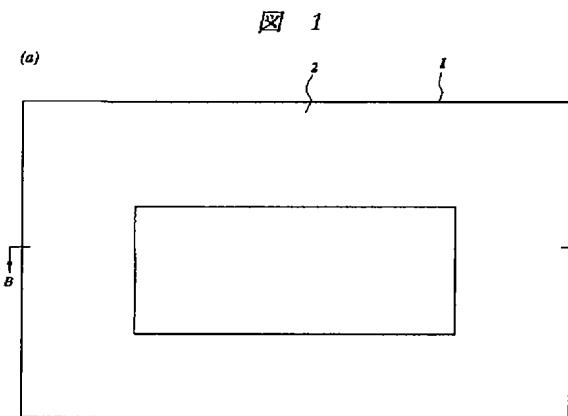
30 配線

31 配線

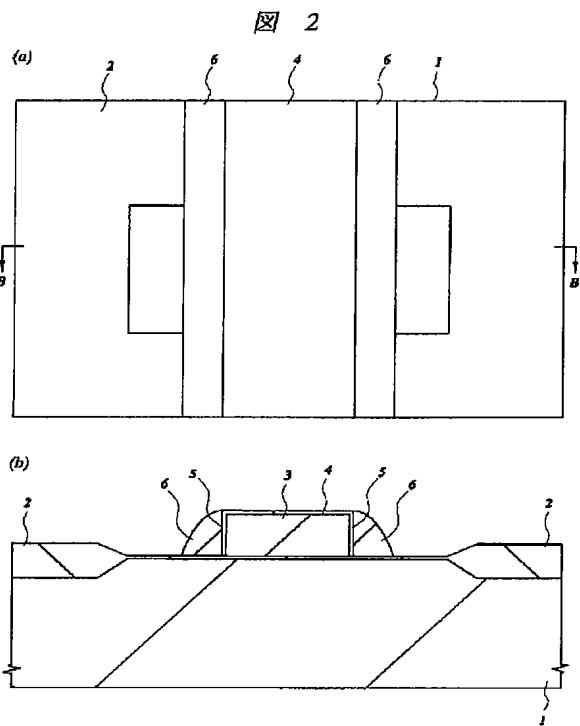
32 配線

$Q_1 \sim Q_4$ MISFET

【図1】

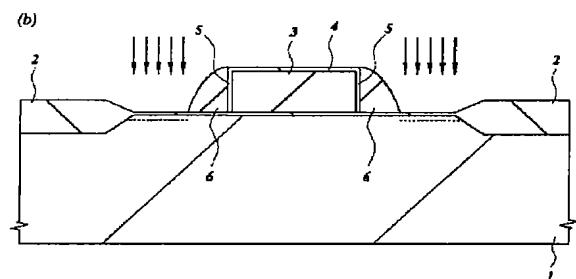
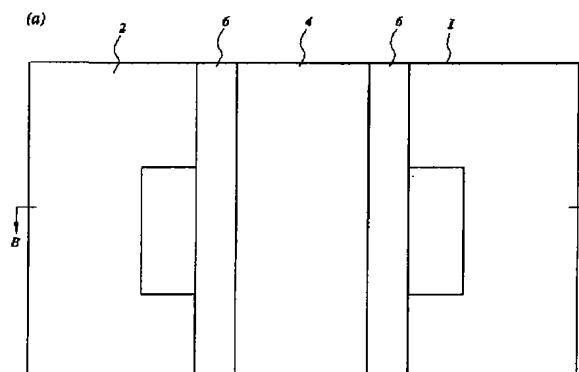


【図2】



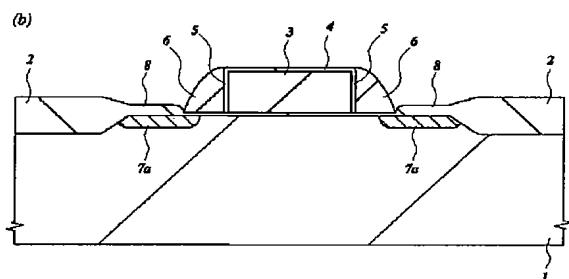
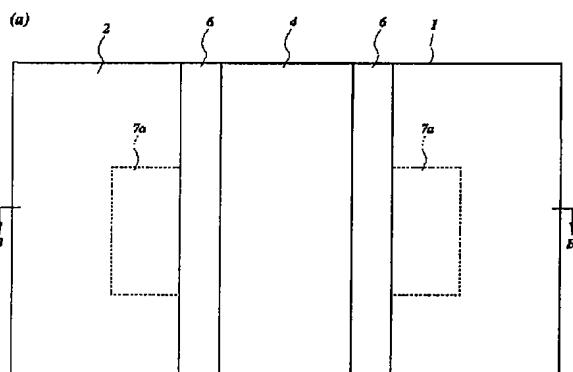
【図3】

図3



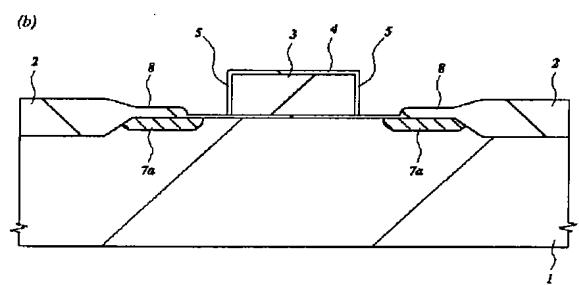
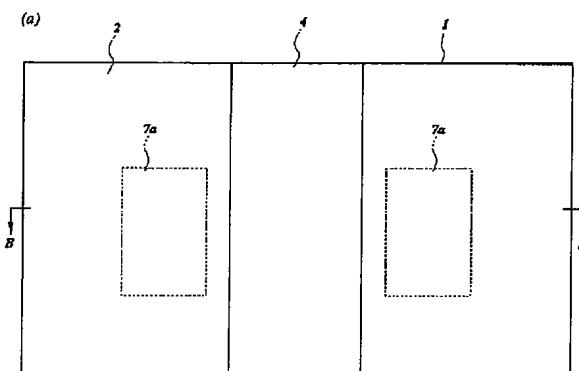
【図4】

図4



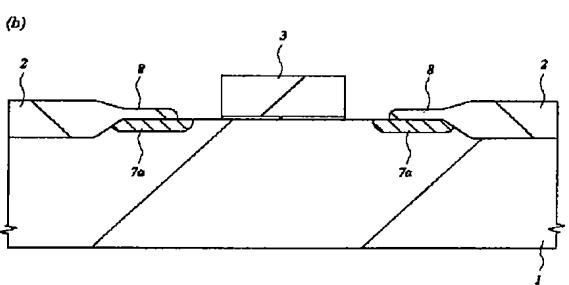
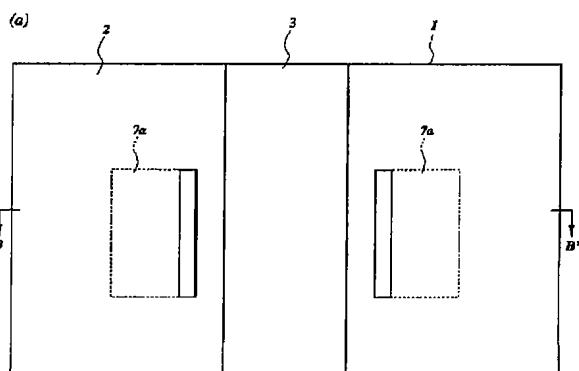
【図5】

図5



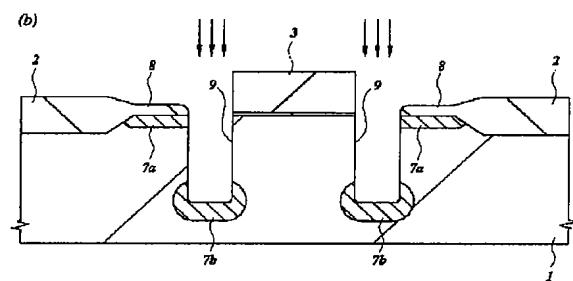
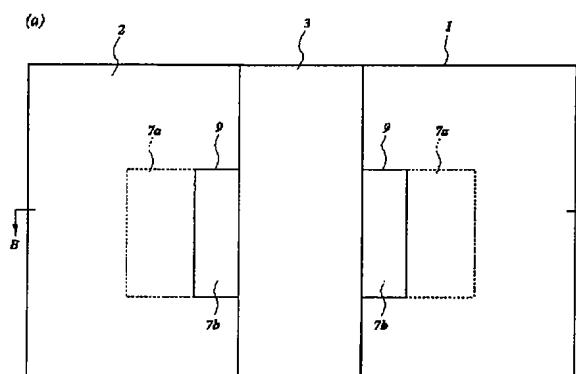
【図6】

図6



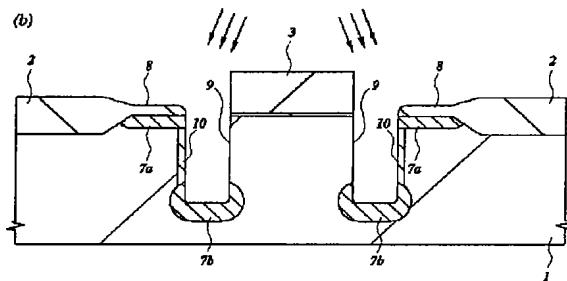
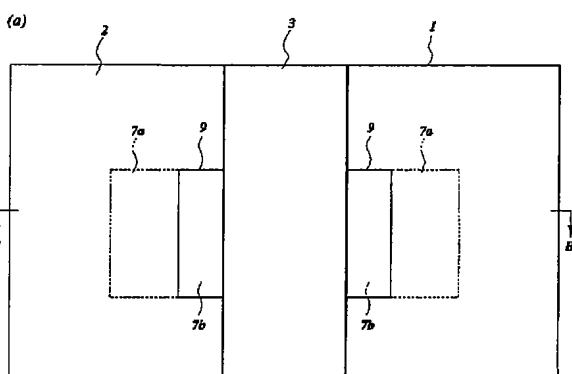
【図7】

図7



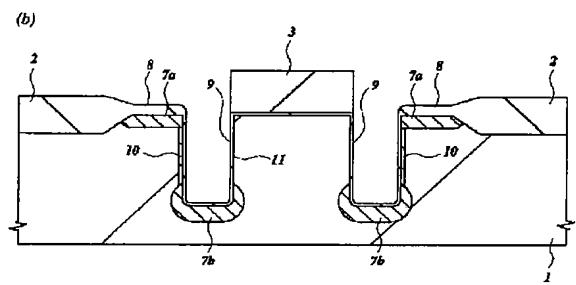
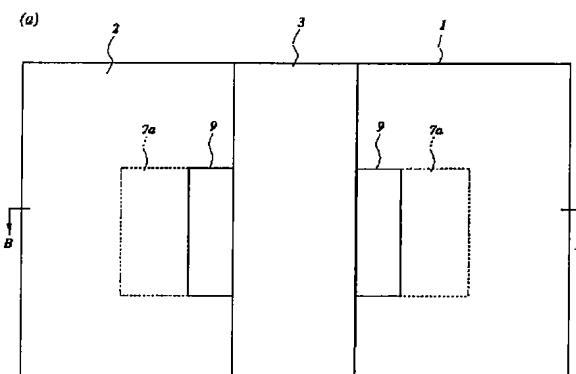
【図8】

図8



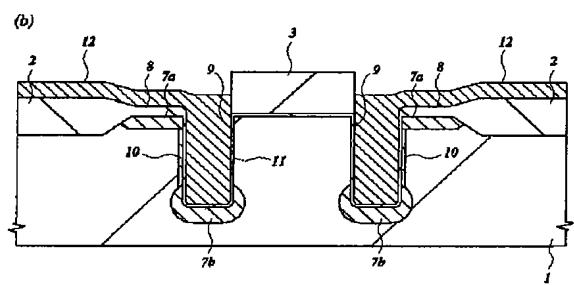
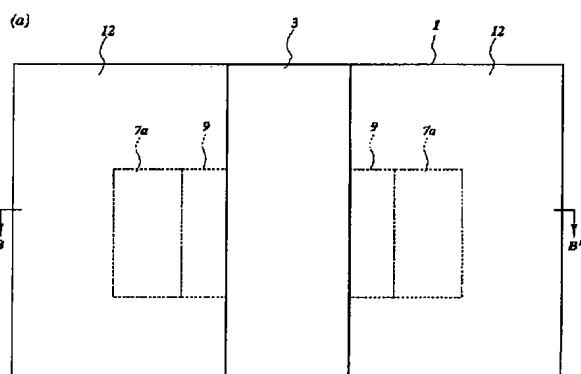
【図9】

図9



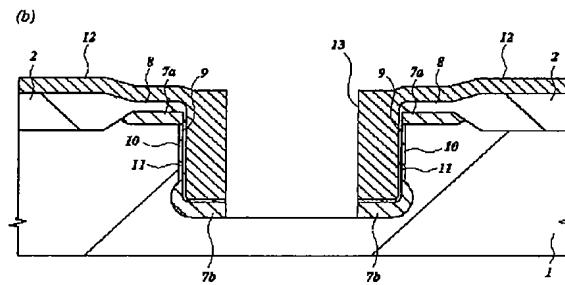
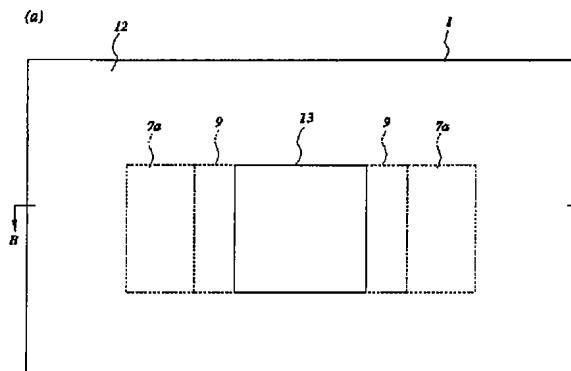
【図10】

図10



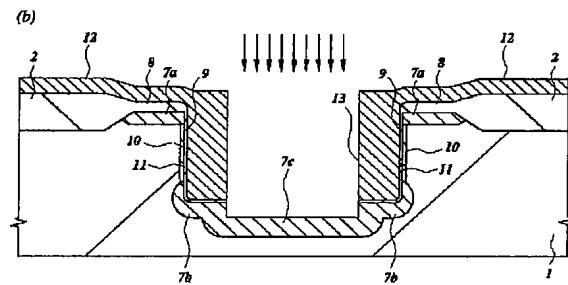
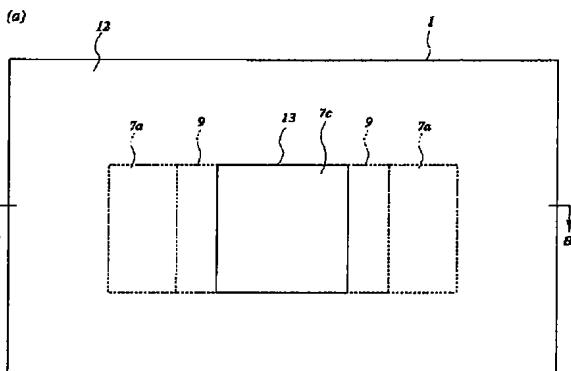
【図11】

図 11



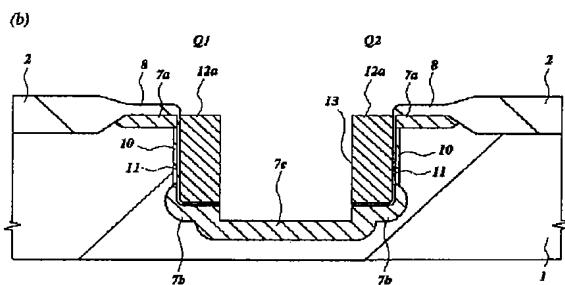
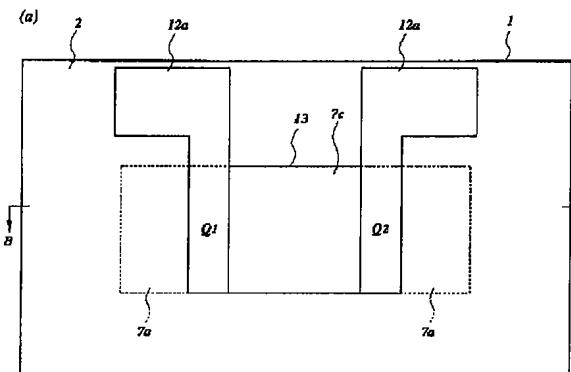
【図12】

図 12



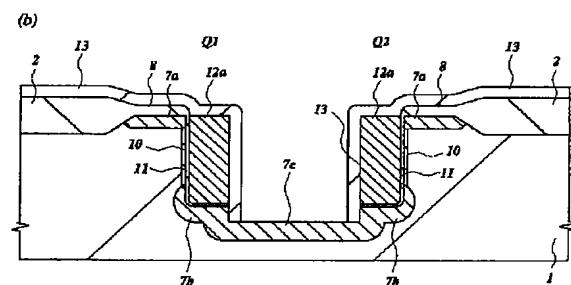
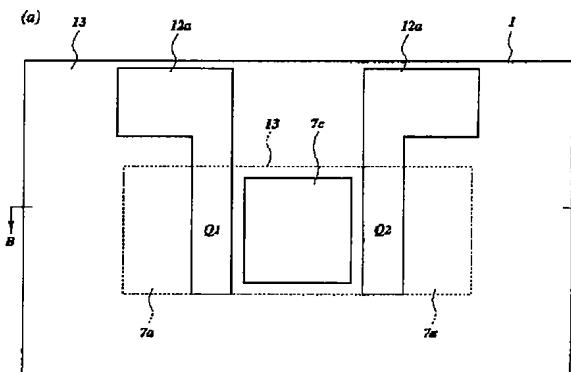
【図13】

図 13



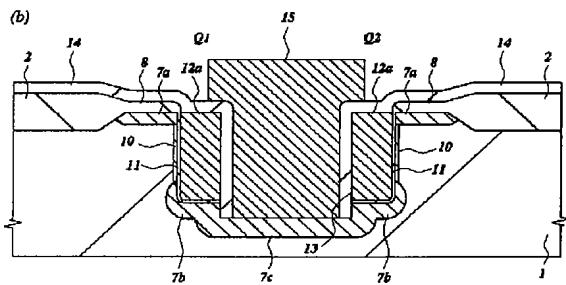
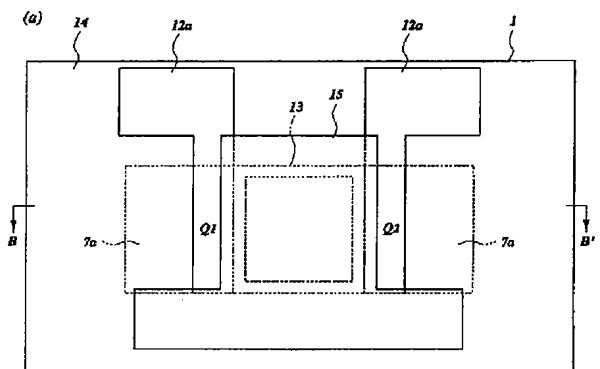
【図14】

図 14



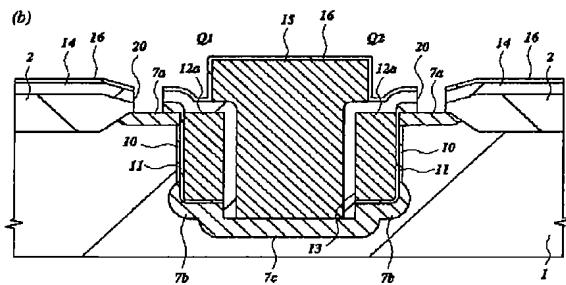
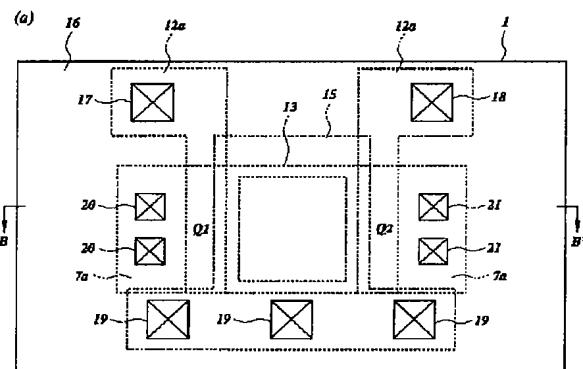
【図15】

図 15



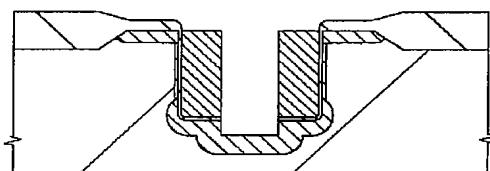
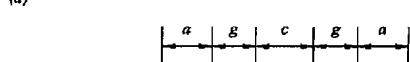
【図16】

図 16

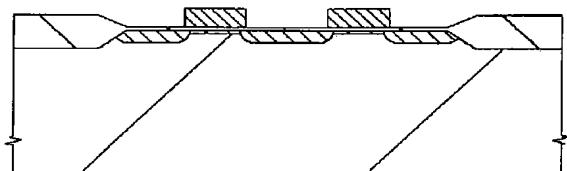
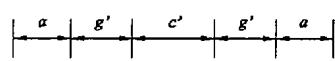


【図17】

図 17



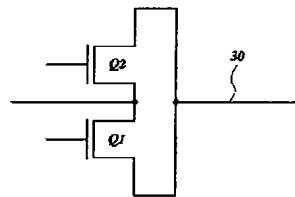
(b)



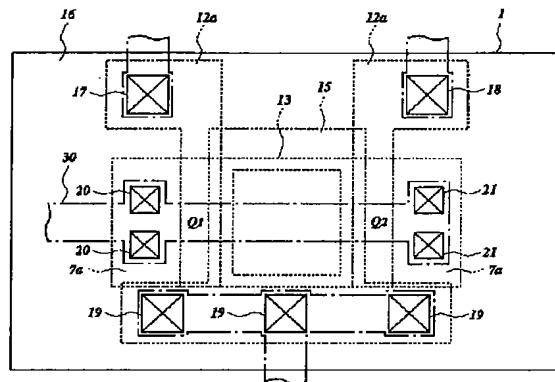
【図18】

図 18

(a)

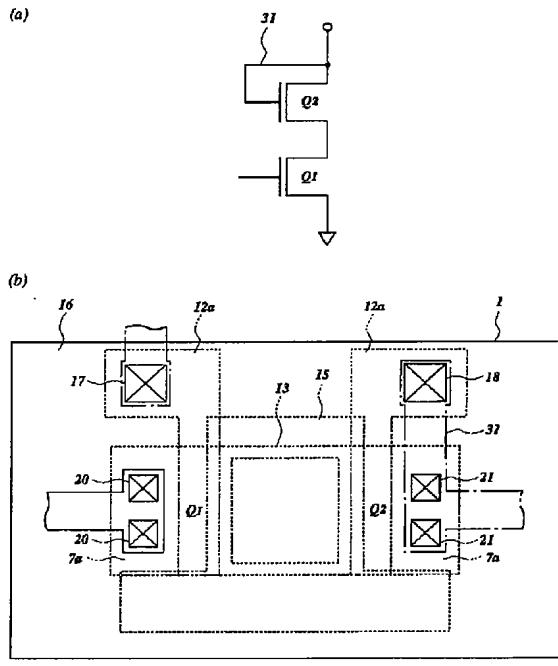


(b)



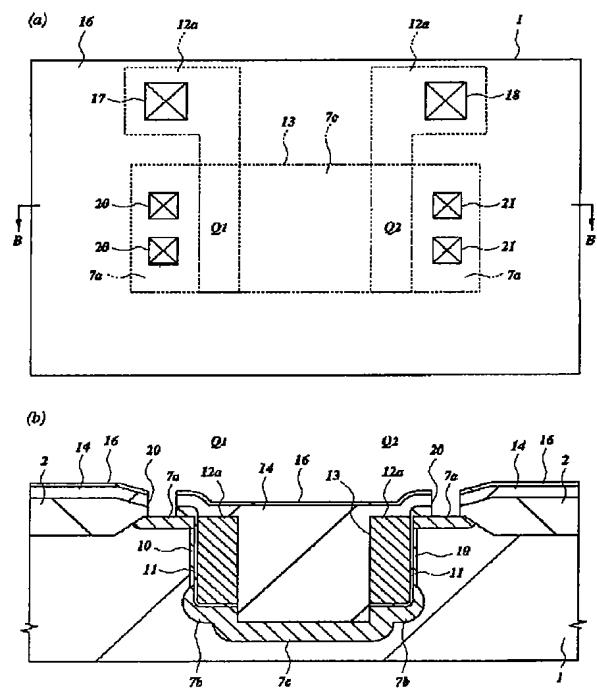
【図19】

図 19



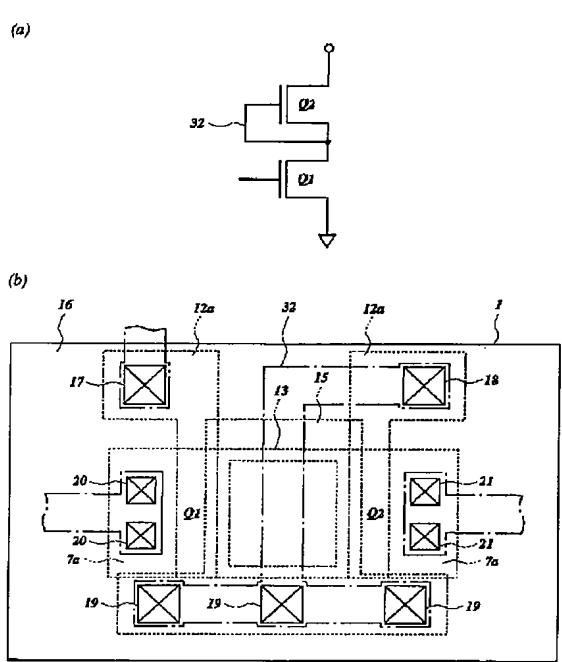
【図20】

図 20



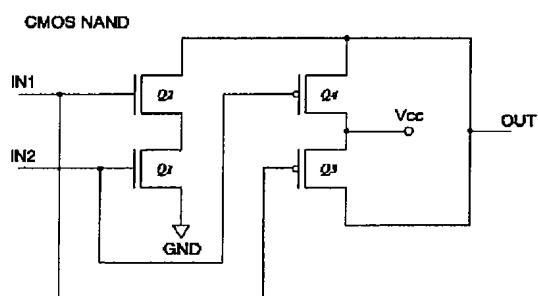
【図21】

図 21



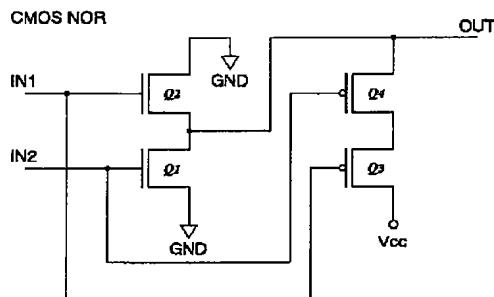
【図22】

図 22



【図23】

図 23



フロントページの続き

(72)発明者 大高 奈緒美
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 加藤 正高
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 木村 紳一郎
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内